



IN THE UNITED STATE PATENT AND TRADEMARK OFFICE

In re application of : TSO-HUNG FAN et al.

Application No. : 10/015,414

Filed : December 12, 2001

For :

METHOD FOR PROGRAMMING AND
ERASING NON-VOLATILE MEMORY
WITH NITRIDE TUNNELING LAYER

Examiner :

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

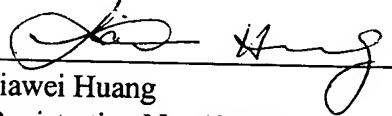
Sir:

Transmitted herewith is a certified copy of Taiwan Application No. 90129931 filed on December 04, 2001.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA7737).

Date: 4/23/2002

By: 
Jiawei Huang
Registration No. 43,330

Please send future correspondence to:

J. C. Patents
4 Venture, Suite 250
Irvine, California 92618
(949) 660-0761

RECEIVED
MAY - 9 2002
TECHNOLOGY CENTER 2800

Self1737

10/015,414



72 8. 2



5/18/02



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2001 年 12 月 04 日
Application Date

申請案號：090129931
Application No.

申請人：旺宏電子股份有限公司
Applicant(s)

局長

Director General

陳明邦

發文日期：西元 2002 年 3 月 25 日
Issue Date

發文字號：09111004825
Serial No.

TECHNOLOGY CENTER 2800
MAY - 9 2002

RECEIVED

申請日期	
案 號	P0129931
類 別	

A4
C4

(以上各欄由本局填註)

發新 型 專 利 說 明 書

一、發明 新型 名稱	中 文	具有氮化物穿隧層的非揮發性記憶體的編程以及抹除方法
	英 文	
二、發明人 創作	姓 名	1 范左鴻 2 葉彥宏 3 詹光陽 4 劉慕義 5 盧道政
	國 籍	中華民國
	住、居所	1 台北縣板橋市三民路 2 段 181 巷 24 號 2 樓 2 桃園縣楊梅鎮中山北路一段 390 巷 27 號 8 樓 3 新竹市新莊街 83 號 5 樓 4 台中市西屯區烈美街 132 號 3 樓 5 高雄市三民區嫩江街 1 巷 36 號
三、申請人	姓 名 (名稱)	旺宏電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區力行路十六號
代表人 姓名	胡定華	

四、中文發明摘要（發明之名稱：具有氮化物穿隧層的非揮發性記憶體的編程以及抹除方法）

一種具有氮化物穿隧層的非揮發性記憶體的編程以及抹除方法，其中編程方法係對此記憶體的閘極導體層施加一第一電壓，並將基底接地，以打開氮化物穿隧層下方以及源極區與汲極區之間的通道區，再對汲極區施加一第二電壓，並將源極區接地，以於通道區引發一電流並於通道區產生熱電子，並使熱電子經由氮化物穿隧層注入電荷陷入層中。其中抹除方法係對記憶體的汲極區施加一第一正偏壓，以及對閘極導體層施加一第二正偏壓，並將基底與源極區接地，以於氮化物穿隧層下方以及源極區與汲極區之間的通道區中產生熱電洞，並使熱電洞經由氮化物穿隧層注入電荷陷入層中。

英文發明摘要（發明之名稱：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝
訂
線

五、發明說明 (一)

本發明是有關於一種非揮發性記憶體 (non-volatile memory) 的編程以及抹除方法，且特別是有關於一種具有氮化物穿隧層 (Nitride tunneling layer) 的非揮發性記憶體的編程以及抹除方法。

在積體電路的應用中，可抹除且可編程之唯讀記憶體 (erasable programmable read only memory, EPROM)、可電氣抹除式可編程唯讀記憶體 (electrically erasable programmable read only memory, E²PROM) 均為一種非揮發性記憶體。其中可電氣抹除式可編程唯讀記憶體具有可電寫入、可電抹除、以及斷電後仍可保存數據的優點，是個人電腦和電子設備所廣泛採用的一種記憶體元件。

在現今所發展的此種非揮發性記憶體中，有一類具有氧化物-氮化矽-氧化矽 (Oxide-Nitride-Oxide, 以下簡稱為 ONO) 結構的非揮發性記憶體，其中已被提出者有矽-氧化矽-氮化矽-氧化矽-矽 (Silicon-Oxide-Nitride-Oxide-Silicon, 以下簡稱 SONOS) 記憶體以及氮化矽唯讀記憶體 (Nitride Read Only Rom, NROM) 等。上述的 ONO 結構與傳統以摻雜複晶矽製作浮置閘的非揮發性記憶體相較之下，其中 SONOS 記憶體具有較一般的非揮發性記憶體的操作電壓低的優點，因此元件的尺寸能夠縮小，有助於元件積集度的提升。而 NROM 具有注入於氮化矽層的電子僅集中於局部的區域，對於隧穿氧化層其缺陷的敏感度較小，較不容易產生漏電流，並且其為一記憶胞二位元 (1 cell 2 bit) 之非揮發性記憶體，可以在單一記憶胞之中寫入四種狀態等

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

線

五、發明說明(二)

的優點，因此，能夠使用此種具有 ONO 結構的非揮發性記憶體以求取更佳的元件效能。

習知無論是 SONOS 記憶體或是氮化矽唯讀記憶體，其穿隧層所使用的材質皆為氧化矽，然而此種以氧化矽為穿隧層的非揮發性記憶體，在編程或抹除的操作上具有下述的缺點：

由於氧化矽材質具有較高的能障(barrier)以及較低的介電常數(dielectric constant)，因此在使用通道熱載子注入法(channel hot carrier injection)進行編程或抹除時，電子或是電洞必須克服較大的能障才得以注入穿隧層中，因而導致通道熱電子注入法的效率不佳，進而造成了記憶體元件在編程或是抹除時的低效率。

有鑑於上述 SONOS 記憶體以及氮化矽唯讀記憶體在編程或抹除操作上的缺點，本發明的目的在提供一種具有氮化物穿隧層的非揮發性記憶體的編程或抹除方法，能夠提高記憶體元件在編程以及抹除時的操作效率。

本發明提出一種具有氮化物穿隧層的非揮發性記憶體的編程方法，此方法係對具有氮化物穿隧層的非揮發性記憶體的閘極導體層施加一第一電壓，並將基底接地，以打開氮化物穿隧層下方以及源極區與汲極區之間的通道區，再對汲極區施加一第二電壓，並將源極區接地，以於通道區引發一電流並於通道區產生熱電子，並使熱電子經由氮化物穿隧層注入電荷陷入層中。

本發明提出一種具有氮化物穿隧層的非揮發性記憶體

(請先閱讀背面之注意事項，再填寫本頁)

裝

訂

線

五、發明說明(3.)

的抹除方法，此方法係對具有氮化物穿隧層的非揮發性記憶體的汲極區施加一第一正偏壓，以及對閘極導體層施加一第二正偏壓，並將基底與源極區接地，以於氮化物穿隧層下方以及源極區與汲極區之間的通道區中產生熱電洞，並使熱電洞經由氮化物穿隧層注入電荷陷入層中。

並且，在上述具有氮化物穿隧層的非揮發性記憶體的編程以及抹除操作中，第一電壓、第二電壓、第一正偏壓以及第二正偏壓，皆小於同尺寸之 SONOS 記憶體在操作時所使用的電壓。

綜上所述，由於本發明中穿隧層之材質係採用能障較氧化矽為低的氮化矽，因此在使用通道熱載子注入法進行編程或抹除時，能夠提高載子注入的效率，進而提高記憶體元件的操作效率。

尚且，由於本發明中穿隧層的材質係為介電常數較氧化矽為高的氮化矽，故得以使用較低的操作電壓進行編程或抹除的操作，因此記憶胞的尺寸能夠再向下縮小，而達到高集積化的目的。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖所繪示為本發明較佳實施例之一種具有氮化物穿隧層的非揮發性記憶體的剖面示意圖；

(請先閱讀背面之注意事項，再填寫本頁)

裝

訂

線

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(4.)

第 2 圖所繪示為本發明較佳實施例之一種具有氮化物穿隧層的非揮發性記憶體的編程方法；以及

第 3 圖所繪示為本發明較佳實施例之一種具有氮化物穿隧層的非揮發性記憶體的抹除方法。

圖式之標示說明：

100：基底

102：氮化物穿隧層

104：電荷陷入層

106：介電層

108：閘極導體層

110：閘極結構

112：源極區

114：汲極區

116：通道區

118：電流

120：電洞

實施例

第 1 圖所繪示為本發明較佳實施例之一種具有氮化物穿隧層的非揮發性記憶體的結構的剖面示意圖。

請參照第 1 圖，本發明較佳實施例之具有氮化物穿隧層的非揮發性記憶體的結構包括基底 100、氮化物穿隧層 102、電荷陷入層 104、介電層 106、導體層 108、源極區 112、汲極區 114 以及通道區 116。

五、發明說明(5.)

基底 100 的材質例如是矽，並且此基底 100 依所形成爲 p 型通道記憶體或是 n 型通道記憶體，而具有 n 型或是 p 型的摻雜型態。

氮化物穿隧層 102 係設置於基底 100 上，形成此氮化物穿隧層 102 的方法例如是化學氣相沈積法。

電荷陷入層 104 係設置於氮化物穿隧層 102 上，其中電荷陷入層 104 的材質例如是氮化矽，形成電荷陷入層 104 的方法例如是化學氣相沈積法。

介電層 106 係設置於電荷陷入層 104 上，其中介電層 106 的材質例如是氧化矽，形成介電層 106 的方法例如是化學氣相沈積法。

閘極導體層 108 係設置於介電層 106 上，其中閘極導體層 108 的材質例如是多晶矽，形成的方法例如是化學氣相沈積法。並且，上述的氮化物穿隧層 102、電荷陷入層 104、介電層 106、閘極導體層 108 的堆疊結構係構成閘極結構 110。

源極區 112 以及汲極區 114 設置於閘極結構 110 兩側的基底 100 中，其中源極區 112 以及汲極區 114 的摻雜型態異於基底 100 的摻雜型態，即當基底 100 為 n 型摻雜時，源極區 112 以及汲極區 114 為 p 型摻雜；當基底 100 為 p 型摻雜時，源極區 112 以及汲極區 114 則爲 n 型摻雜。

並且，通道區 116 係設置於閘極結構 110 的下方、源極區 112 以及汲極區 114 之間的基底 100 中。

第 2 圖所繪示爲本發明較佳實施例之一種具有氮化物

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (b.)

穿隧層的非揮發性記憶體的編程方法，請參照第 2 圖，在對本發明的氮化物穿隧層的非揮發性記憶體進行編程時，首先對氮化物穿隧層的非揮發性記憶體的閘極 110 施加第一電壓 V_1 ，並將基底 100 接地，以打開氮化物穿隧層 102 下方以及源極區 112 以及汲極區 114 之間的一通道區 116，其中第一電壓為 6 伏特至 12 伏特左右。接著，對汲極區 114 施加一第二電壓 V_2 ，並將源極區 112 接地，以引發一電流 118 並於通道區 116 產生熱電子，並使熱電子經由氮化物穿隧層 102 注入電荷陷入層 104 中，其中第二電壓 V_2 為 2.5 伏特至 5 伏特左右。

第 3 圖所繪示為本發明較佳實施例之一種具有氮化物穿隧層的非揮發性記憶體的抹除方法，請參照第 3 圖，在對本發明的氮化物穿隧層的非揮發性記憶體進行抹除時，首先對具有氮化物穿隧層的非揮發性記憶體的汲極區 114 施加一第一正偏壓 V_{B1} ，並於閘極導體層 108 施加一第二正偏壓 V_{B2} ，且將基底 100 與源極區 112 接地，以於氮化物穿隧層 102 下方之源極區 112 與汲極區 114 之間的通道區 116 中產生熱電洞 120，並使熱電洞 120 經由氮化物穿隧層 102 注入電荷陷入 104 層中，其中第一正偏壓 V_{B1} 為 2 伏特至 5 伏特左右，且第二正偏壓 V_{B2} 為 2.5 伏特至 5 伏特左右。

在上述具有氮化物穿隧層的非揮發性記憶體的編程以及抹除操作中，所使用的第一電壓 V_1 、第二電壓 V_2 、第一正偏壓 V_{B1} 以及第二正偏壓 V_{B2} ，皆小於同尺寸之 SONOS

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7.)

記憶體在操作時所使用的電壓。

綜上所述，本發明的特徵係在於：

由於本發明中穿隧層的材質係採用能障較氧化矽為低的氮化矽，因此在使用通道熱載子注入法進行編程或抹除時，電子能夠較容易的穿過穿隧層，進而提高記憶體元件的操作效率。

尚且，由於本發明中穿隧層的材質係為介電常數較氧化矽高的氮化矽，故得以使用較低的操作電壓進行編程或抹除的操作，因此記憶胞的尺寸能夠再向下縮小，而達到高集積化的目的。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1. 一種具有氮化物穿隧層的非揮發性記憶體的編程方法，其中該具有氮化物穿隧層的非揮發性記憶體具有一基底，設置於該基底上的一氮化物穿隧層，設置該氮化物穿隧層上的一電荷陷入層，設置於該電荷陷入層上的一介電層，設置於該介電層上的一閘極導體層，設置於該閘極導體層兩側之該基底中的一源極區與一汲極區，該方法包括下列步驟：

對該具有氮化物穿隧層的非揮發性記憶體的該閘極導體層施加一第一電壓，並將該基底接地，以打開該氮化物穿隧層下方以及該源極區與該汲極區之間的一通道區；以及

對該汲極區施加一第二電壓，並將該源極區接地，以於該通道區引發一電流並於該通道區產生一熱電子，並使該熱電子經由該氮化物穿隧層注入該電荷陷入層中。

2. 如申請專利範圍第 1 項所述之具有氮化物穿隧層的非揮發性記憶體的編程方法，其中該第一電壓為 6 伏特至 12 伏特左右。

3. 如申請專利範圍第 1 項所述之具有氮化物穿隧層的非揮發性記憶體的編程方法，其中該第二電壓 V_2 為 2.5 伏特至 5 伏特左右。

4. 如申請專利範圍第 1 項所述之具有氮化物穿隧層的非揮發性記憶體的編程方法，其中該第一電壓與該第二電壓小於與該具有氮化物穿隧層的非揮發性記憶體同尺寸之矽-氧化物-氮化物-氧化物-矽(SONOS)記憶體之編程操作

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

電壓。

5.一種具有氮化物穿隧層的非揮發性記憶體的抹除方法，其中該具有氮化物穿隧層的非揮發性記憶體具有一基底，設置於該基底上的一氮化物穿隧層，設置該氮化物穿隧層上的一電荷陷入層，設置於該電荷陷入層上的一介電層，設置於該介電層上的一閘極導體層，設置於該閘極導體層兩側之該基底中的一源極區與一汲極區，該方法包括下列步驟：

對該氮化物穿隧層的非揮發性記憶體的該汲極區施加一第一正偏電壓，以及對該閘極導體層施加一第二正偏電壓，並將該基底與該源極區接地，以於該氮化物穿隧層下方以及該源極區與該汲極區之間的一通道區中產生一熱電洞，並使該熱電洞經由該氮化物穿隧層注入該電荷陷入層中。

6.如申請專利範圍第 5 項所述之具有氮化物穿隧層的非揮發性記憶體的抹除方法，其中該第一正偏壓為 2 伏特至 5 伏特左右。

7.如申請專利範圍第 5 項所述之具有氮化物穿隧層的非揮發性記憶體的抹除方法，其中該第二正偏壓為 2.5 伏特至 5 伏特左右。

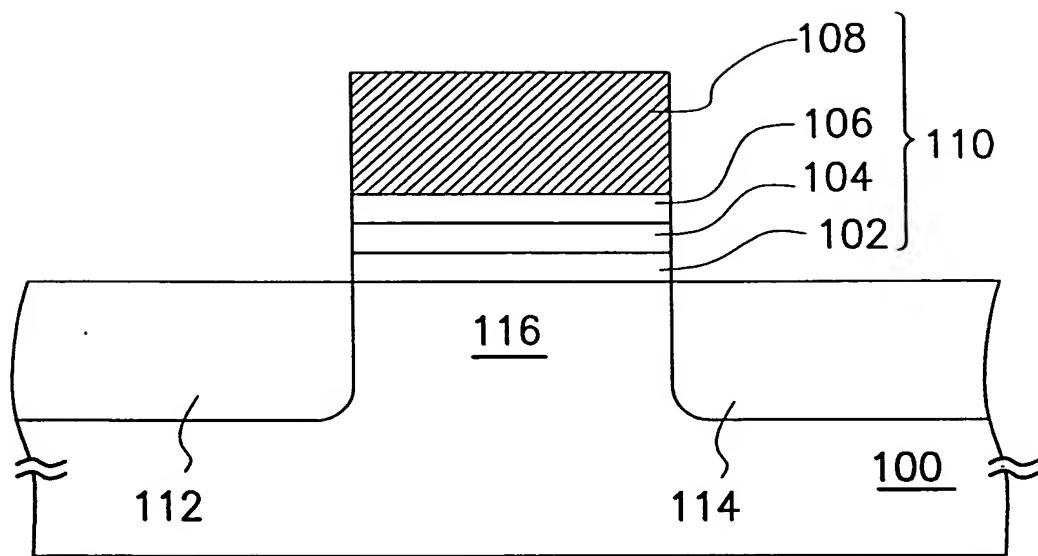
8.如申請專利範圍第 5 項所述之具有氮化物穿隧層的非揮發性記憶體的抹除方法，其中該第一正偏壓與該第二正偏壓小於與該具有氮化物穿隧層的非揮發性記憶體同尺寸之矽-氧化物-氮化物-氧化物-矽(SONOS)記憶體之抹除操作電壓。

(請先閱讀背面之注意事項再填寫本頁)

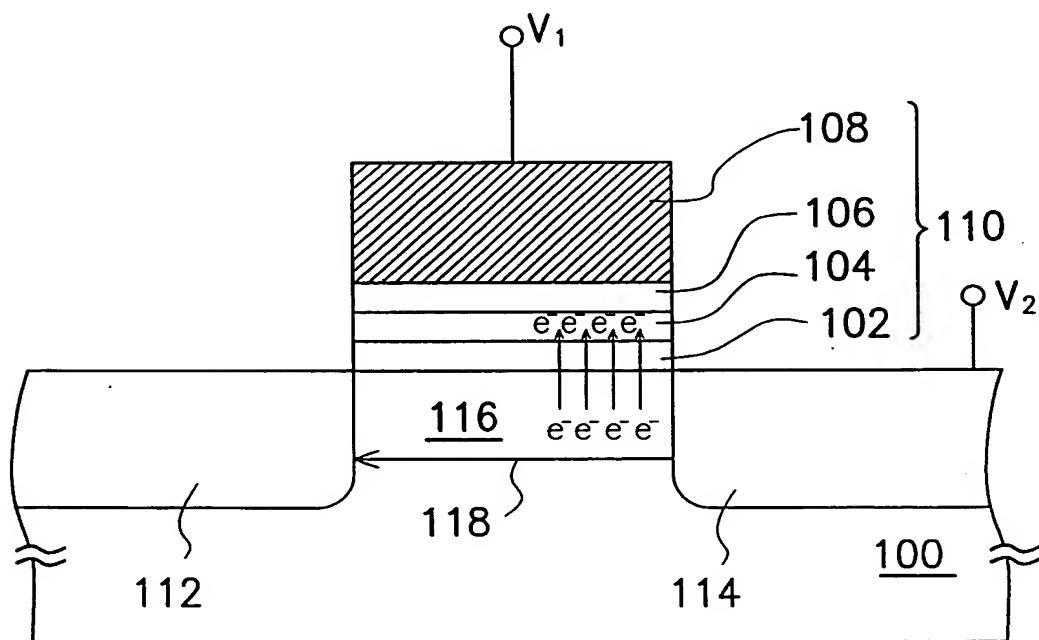
裝

訂

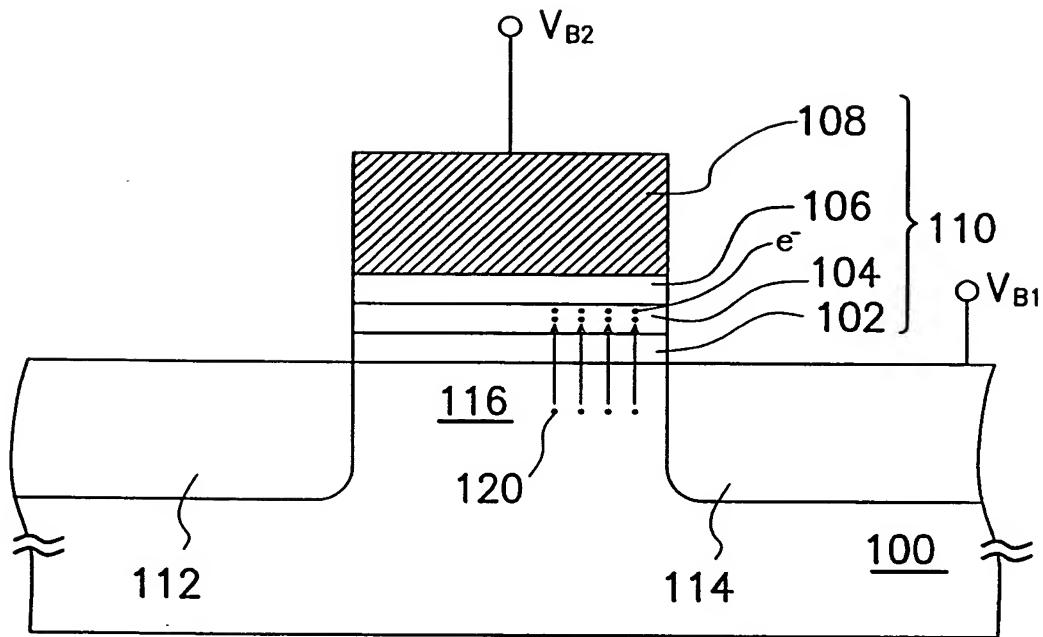
線



第 1 圖



第 2 圖



第 3 圖